

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 02-188723 [JP 2188723 A]

PUBLISHED: July 24, 1990 (19900724)

INVENTOR(s): TANIGUCHI HIDEAKI ORIMURA RIYOUJI SASANO AKIRA

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation),
JP(Japan)

APPL. NO.: 01-007614 [JP 897614]

FILED: January 18, 1989 (19890118)

ABSTRACT PURPOSE:

To reduce the resistance of a scanning signal line and to write a signal to a picture element electrode by forming an opaque metal film as a conductive film constituting a scanning signal line.

CONSTITUTION:

The scanning signal line GL is formed of a composite film consisting of a 1st conductive film g1 and a 2nd conductive film g2 provided above it, and the 1st conductive film g1 of this scanning signal line GL is formed integrally in the same manufacturing process with the 1st conductive film g1 of a gate electrode GT. The 2nd conductive film g2 is formed of aluminum (Al) by, for example, sputtering to about 900 - 4,000 angstroms. Consequently, the 2nd conductive film g2 reduces the resistance value of the scanning signal line GL and signals can securely be written to picture element electrodes.

G 02 F 1/136
G 09 F 9/00
H 01 L 27/12
29/784

5 0 0
3 3 8
A

7370-2H
6422-5C
7514-5F

8624-5F H 01 L 29/78 3 1 1 A
審査請求 未請求 求項の数 2 (全24頁)

②発明の名称 液晶表示装置

③特 願 平1-7614

④出 願 平1(1989)1月18日

⑤発明者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑥発明者 折 村 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑦発明者 苍 野 晃 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑧出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑨代理人 弁理士 中村 純之助

明細書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

1. 薄膜トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記走査信号線の映像信号線との交差部における上記不透明金属膜の幅を他の部分の幅より狭くしたことを特徴とする液晶表示装置。

2. 薄膜トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記保持容量素子の電極膜を上記走査信号線に沿って設け、上記画素電極の端部を上記走査信号線と直角に設けたことを特徴とする液晶表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はたとえば薄膜トランジスタと画素電極とを画素の一構成要素とするアクティブ・マトリックス方式のカラー液晶表示装置等の液晶表示装置に関するものである。

(従来の技術)

従来のアクティブ・マトリックス方式の液晶表示装置においては、特開昭61-151516号公報に示されるように、走査信号線、ゲート電極、保持容量素子の電極膜をITO(インジウム・錫酸化物)膜で構成しており、また保持容量素子の電極膜を走査信号線から分離させている。

(発明が解決しようとする課題)

しかし、このような液晶表示装置においては、ITO膜のシート抵抗が大きいから、走査信号線の抵抗が大きくなるので、画素電極への信号書き込みができなくなる。

そこで、走査信号線、ゲート電極、保持容量素子の電極膜をクロム膜で構成することが考えられ、

マニピュレーターのショートが多くなり、歩留まりが悪くなる。

また、走査信号線、保持容量素子の電極膜をクロム膜で構成したときに、保持容量素子の電極膜を走査信号線から分離させてたときには、開口率が低下するから、画像が暗くなる。

この発明は上述の二点を解決することになされたもので、画素電極への信号書き込みができなくなることがなく、しかも歩留まりがよい液晶表示装置、画像が明るい液晶表示装置を提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記保持容量素子の電極膜を上記走査信号線によって設け、上に画素電極の端部を上記走査信号線と直角に設ける。

また、上記目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記保持容量素子の電極膜を上記走査信号線によって設け、上に画素電極の端部を上記走査信号線と直角に設ける。

〔作用〕

この液晶表示装置においては、走査信号線を構成する導電膜を不透明金属膜で形成しているから、走査信号線の抵抗が小さく、また走査信号線の映像信号線との交差部における不透明金属膜の幅を他の部分の幅より狭くしているから、走査信号線と映像信号線との交差部における走査信号線と映像信号線との重なり面積が小さい。

また、この液晶表示装置においては、保持容量素子の電極膜を走査信号線に沿って設け、画素電極の端部を走査信号線と直角に設けているから、開口率が大きくなる。

〔実施例〕

この発明を適用すべきアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を第2図(要部平面図)で示し、第2図のII-II切断線で切った断面を第3図で示す。また、第4図(要部平面図)には、第2図に示す画素を複数配置した液晶表示部の要部を示す。

第2図～第4図に示すように、液晶表示装置は、下部透明ガラス基板SUB1の内側(液晶側)の表面上に、薄膜トランジスタTFTおよび透明画素電極ITOを有する画素が構成されている。下部透明ガラス基板SUB1はたとえば1.1[μm]程度の厚さで構成されている。

各画素は、接続する2本の走査信号線(ゲート信号線または水平信号線)GLと、接続する2本の映像信号線(ドレイン信号線または垂直信号線)

DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。走査信号線GLは、第2図および第4図に示すように、列方向に延在し、行方向に複数本配置されている。映像信号線DLは、行方向に延在し、列方向に複数本配置されている。

各画素の薄膜トランジスタTFTは、画素内において3つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ)TFT1、TFT2およびTFT3で構成されている。薄膜トランジスタTFT1～TFT3のそれぞれは、実質的に同一サイズ(チャンネル長と幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1～TFT3のそれぞれは、主にゲート電極GT、絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドープされていない)シリコン(Si)からなるi型半導体層AS、一对のソース電極SD1およびドレイン電極SD2で構成されている。なお、ソース・ドレインは本米その間のバイアス偏圧によって決まり、この液晶表示裝

前記ゲート電極GTは、第5回（所定の製造工程における要部平面図）に詳細に示すように、走査信号線GLから行方向（第2回および第5回において下方向）に突出するT字形状で構成されている（T字形状に分岐されている）。つまり、ゲート電極GTは、映像信号線DLと実質的に平行に並在するように構成されている。ゲート電極GTは、薄膜トランジスタTFT1～TFT3のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTFT1～TFT3のそれぞれのゲート電極GTは、一体に（共通ゲート電極として）構成されており、同一の走査信号線GLに連続して形成されている。ゲート電極GTは、薄膜トランジスタTFTの形成領域において大きい段差をなるべく作らないように、单層の第1導電膜g1で構成する。第1導電膜g1は、た

を完全に覆うよう（下方からみて）それより大さく目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトを取り付けた場合、この不透明のCrゲート電極GTが影となって、半導体層ASにはバックライト光が当たらず、前述した光照射による導電現象すなわちTFTのボロ待性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース・ドレイン電極SD1、SD2間をまたがるに最低限必要な（ゲート電極とソース・ドレイン電極の位置合わせ余裕分も含めて）幅を持ち、チャンネル幅Wを決めるその実行き長さはソース・ドレイン電極間の距離（チャンネル長）Lとの比、すなわち相互コンダクタンスg_{sd}を決定するファクタW/Lをいくつにするかによって決められる。

この液晶表示装置におけるゲート電極の大きさ

はもちろん、上述した本来の大きさよりも大きくされる。

ゲート電極GTのゲートおよび遮光の機能面からだけで考えれば、ゲート電極GTおよびその配線GLは單一の層で一体に形成してもよく、この場合不透明導電材料としてSiを含有させたAl純Al、およびPdを含有させたAl等を選ぶことができる。

前記走査信号線GLは、第1導電膜g1およびその上部に置けられた第2導電膜g2からなる複合膜で構成されている。この走査信号線GLの第1導電膜g1は、前記ゲート電極GTの第1導電膜g1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム（Al）膜を用い、900～4000[Å]程度の膜厚で形成する。第2導電膜g2は、走査信号線GLの抵抗値を低減し、信号伝達速度の高速化（画素の情報の書き込み特性）を図ることができるよう構成されている。

また、走査信号線GLは、第1導電膜g1の幅

寸法に比べて第2導電膜g2の幅寸法を小さく構成している。すなわち、走査信号線GLは、その側壁の段差形状をゆるやかにことができるのと、その上層の絶縁膜GIの表面を平坦化できるように構成されている。

絶縁膜GIは、薄膜トランジスタTFT1～TFT3のそれぞれのゲート絶縁膜として使用される。絶縁膜GIは、ゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化珪素膜を用い、3000[Å]程度の膜厚で形成する。前述のように、絶縁膜GIの表面は、薄膜トランジスタTFT1～TFT3のそれぞれの形成領域および走査信号線GL形成領域において平坦化されている。

i型半導体層ASは、第6回（所定の製造工程における要部平面図）で詳細に示すように、複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのチャネル形成領域として使用される。複数に分割された薄膜トランジスタTFT1

型半導体層ASの島領域で構成されている。i型半導体層ASは、非晶質シリコン膜または多結晶シリコン膜で形成し、約1800[Å]程度の膜厚で形成する。

このi型半導体層ASは、供給ガスの成分を変えてSi,N_xからなる絶縁膜G1の形成に連続して、同じノンスマートCVD装置で、しがらみの装置から外部に露出することなく形成される。また、オーミックコントクト用のPをドープしたN⁺型半導体層d0(第3図)も同様に連続して約400[Å]の厚さに形成される。しかし後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術により、N⁺型半導体層d0およびi型半導体層ASは第2図、第3図および第6図に示すように独立した島状にパターニングされる。

ASを乗り越える際の断線に起因する線欠陥の発生する確率を低減することができる。つまり、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのi型半導体層ASを一体に構成することにより、映像信号線DL(ドレイン電極SD2)がi型半導体層ASを1度だけしか乗り越えないためである(実際には、乗り始めと乗り終わりの2度である)。

前記i型半導体層ASは、第2図および第6図に詳細に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバ部)の両者間まで延長させて設けられている。この延長させたi型半導体層ASは、交差部における走査信号線GLと映像信号線DLとの短絡を低減するよう構成されている。

画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのソース電極SD1とドレイン電極SD2とは、第2図、第3図および第7図(所定の製造工程における要部平面図)で詳細に示すように、i型半導体層AS上にそれぞ

れドレン電極SD2がi型半導体層AS(実際には、第1導電膜d1の膜厚、N⁺型半導体層d0の膜厚およびi型半導体層ASの膜厚とを加算した膜厚に相当する段差)をドレン電極SD2側からi型半導体層AS側に向って1度乗り越えるだけなので、ドレン電極SD2が断線する確率が低くなり、点欠陥の発生する確率を低減することができる。つまり、この液晶表示装置では、ドレン電極SD2がi型半導体層ASの段差を乗り越える際に画素内に発生する点欠陥が3分の1に低減できる。

また、この液晶表示装置のレイアウトと異なるが、i型半導体層ASを映像信号線DLが直接乗り越え、この乗り越えた部分の映像信号線DLをドレン電極SD2として構成する場合、映像信号線DL(ドレン電極SD2)がi型半導体層

を乗り越える際の断線に起因する線欠陥の発生する確率を低減することができる。つまり、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのi型半導体層ASを一体に構成することにより、映像信号線DL(ドレイン電極SD2)がi型半導体層ASを1度だけしか乗り越えないためである(実際には、乗り始めと乗り終わりの2度である)。

ソース電極SD1、ドレイン電極SD2のそれぞれは、N⁺型半導体層d0に接触する下層膜から、第1導電膜d1、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第1導電膜d1、第2導電膜d2および第3導電膜d3は、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

第1導電膜d1は、スパッタで形成したクロム膜を用い、500～1000[Å]の膜厚(この液晶表示装置では、600[Å]程度の膜厚)で形成する。クロム膜は、膜厚を厚く形成するとストレスが大きくなるので、2000[Å]程度の膜厚を越えない範囲で形成する。クロム膜は、N⁺型半導体層d0との接触が良好である。クロム膜は、後述する第2

ニウムシリサイド (MoSi_2 , TiSi_2 , TaSi_2 , WSi_2) 膜で形成してもよい。

第1導電膜 d_1 を写真処理でバーニングした後、同じ写真処理用マスクであるいは第1導電膜 d_1 をマスクとして N^+ 型半導体層 d_0 が除去される。つまり、 i 型半導体層 A_S 上に残っていた N^+ 型半導体層 d_0 は第1導電膜 d_1 以外の部分がセルフアラインで除去される。このとき、 N^+ 型半導体層 d_0 はその厚さ分は全て除去されるようエッチされるので i 型半導体層 A_S も若干その表面部分でエッチされるが、その程度はエッチ時間で制御すればよい。

しかる後、第2導電膜 d_2 がアルミニウムのスパッタリングで $3000\sim5500[\mu\text{m}]$ の膜厚（この液晶表示装置では、 $3500[\mu\text{m}]$ 程度の膜厚）に形成される。アルミニウム膜は、クロム膜に比べてストレ

ソース電極 SD_1 の第1導電膜 d_1 、ドレイン電極 SD_2 の第1導電膜 d_1 のそれぞれは、上層の第2導電膜 d_2 および第3導電膜 d_3 に比べてチャネル形成領域側を大きいサイズで構成している。つまり、第1導電膜 d_1 は、第1導電膜 d_1 と第2導電膜 d_2 および第3導電膜 d_3 との間の製造工程におけるマスク合せせが生じても、第2導電膜 d_2 および第3導電膜 d_3 に比べて大きいサイズ（第1導電膜 d_1 ~ 第3導電膜 d_3 のそれぞれのチャネル形成領域側がオンザラインでもよい）になるように構成されている。ソース電極 SD_1 の第1導電膜 d_1 、ドレイン電極 SD_2 の第1導電膜 d_1 のそれぞれは、薄膜トランジスタ TFT のゲート長 L を規定するように構成されている。

このように、画素の複数に分割された薄膜トランジスタ TFT 1~TFT 3において、ソース電極 SD_1 、ドレイン電極 SD_2 のそれぞれの第1導電膜 d_1 のチャネル形成領域側を第2導電膜 d_2 および第3導電膜 d_3 に比べて大きいサイズで

FET の動作速度の高速化および映像信号線 DL の信号伝達速度の高速化を図ることができるよう構成されている。つまり、第2導電膜 d_2 は、画素の書き特性を向上することができる。第2導電膜 d_2 としては、アルミニウム膜の他に、シリコン (Si) や銅 (Cu) やパラジウム (Pd) を添加物として含有させたアルミニウム膜で形成してもよい。

第2導電膜 d_2 の写真処理技術によるバーニング後、第3導電膜 d_3 がスパッタで形成された透明導電膜 (ITO: ネサ膜) を用い、 $1000\sim2000[\mu\text{m}]$ の膜厚（この液晶表示装置では、 $1200[\mu\text{m}]$ 程度の膜厚）で形成される。この第3導電膜 d_3 は、ソース電極 SD_1 、ドレイン電極 SD_2 および映像信号線 DL を構成するとともに、透明画素電極 ITO を構成するようになっている。

構成することにより、ソース電極 SD_1 、ドレイン電極 SD_2 のそれぞれの第1導電膜 d_1 間の寸法で、薄膜トランジスタ TFT のゲート長 L を規定することができる。第1導電膜 d_1 間の離隔寸法（ゲート長 L ）は、加工精度（バーニング精度）で規定することができるので、薄膜トランジスタ TFT 1~TFT 3 のそれぞれのゲート長 L を均一にすることができる。

ソース電極 SD_1 は、前記のように、透明画素電極 ITO に接続されている。ソース電極 SD_1 は、 i 型半導体層 A_S の段差形状（第1導電膜 d_1 の膜厚、 N^+ 型半導体層 d_0 の膜厚および i 型半導体層 A_S の膜厚とを加算した膜厚に相当する段差）に沿って構成されている。具体的には、ソース電極 SD_1 は、 i 型半導体層 A_S の段差形状に沿って形成された第1導電膜 d_1 と、この第1導電膜 d_1 の上部にそれに比べて透明画素電極 ITO と接続される側を小さいサイズで形成した第2導電膜 d_2 と、この第2導電膜から露出する第1導電膜 d_1 に接続された第3導電膜 d_3 とで構

D 1 の第 2 道電膜 d 2 は、第 1 道電膜 d 1 のクロム強がストレスの増大から厚く形成できず、i 型半導体層 A S の段差形状を乗り越えられないので、この i 型半導体層 A S を乗り越えるために構成されている。つまり、第 2 道電膜 d 2 は、厚く形成することでステップカバレッジを向上している。第 2 道電膜 d 2 は、厚く形成できるので、ソース電極 S D 1 の抵抗値（ドレイン電極 S D 2 や映像信号線 D L についても同様）の低減に大きく寄与している。第 3 道電膜 d 3 は、第 2 道電膜 d 2 の i 型半導体層 A S に起因する段差形状を乗り越えることができないので、第 2 道電膜 d 2 のサイズを小さくすることで露出する第 1 道電膜 d 1 に接続するように構成されている。第 1 道電膜 d 1 と第 3 道電膜 d 3 とは、接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、確

と、この第 1 道電膜 d 1 の上部に形成され、第 1 道電膜 d 1 に比べて抵抗値が小さく、かつ第 1 道電膜 d 1 に比べて小さいサイズの第 2 道電膜 d 2 とで構成し、この第 2 道電膜 d 2 から露出する第 1 道電膜 d 1 に透明画素電極 I T O である第 3 道電膜 d 3 を接続することにより、薄膜トランジスタ TFT と透明画素電極 I T O を確実に接続することができるので、断線に起因する点欠陥を低減することができる。しかも、ソース電極 S D 1 は、第 1 道電膜 d 1 によるバリア効果で、抵抗値の小さい第 2 道電膜 d 2 （アルミニウム膜）を用いることができるので、抵抗値を低減することができる。

ドレイン電極 S D 2 は、映像信号線 D L と一緒に構成されており、同一製造工程で形成されている。ドレイン電極 S D 2 は、映像信号線 D L と交

差する列方向に突出した L 字形状で構成されている。つまり、画素の複数に分割された薄膜トランジスタ TFT 1～TFT 3 のそれぞれのドレイン電極 S D 2 は、同一の映像信号線 D L に接続されている。

前記透明画素電極 I T O は、各画素毎に設けられており、液晶表示部の画素電極の一方を構成する。透明画素電極 I T O は、画素の複数に分割された薄膜トランジスタ TFT 1～TFT 3 のそれぞれに対応して 3 つの透明画素電極（分割透明画素電極） I T O 1、I T O 2 および I T O 3 に分割されている。透明画素電極 I T O 1 は、薄膜トランジスタ TFT 1 のソース電極 S D 1 に接続されている。透明画素電極 I T O 2 は、薄膜トランジスタ TFT 2 のソース電極 S D 1 に接続されている。透明画素電極 I T O 3 は、薄膜トランジスタ TFT 3 のソース電極 S D 1 に接続されている。

透明画素電極 I T O 1～I T O 3 のそれぞれは、薄膜トランジスタ TFT 1～TFT 3 のそれぞれと同様に、実質的に同一サイズで構成されている。

透明画素電極 I T O 1～I T O 3 のそれぞれは、薄膜トランジスタ TFT 1～TFT 3 のそれぞれの i 型半導体層 A S を一体に構成してある（分割されたそれぞれの薄膜トランジスタ TFT を一個所に集中的に配置してある）ので、L 字形状で構成している。

このように、隣接する 2 本の走査信号線 G L と隣接する 2 本の映像信号線 D L との交差領域内に配置された画素の薄膜トランジスタ TFT を複数の薄膜トランジスタ TFT 1～TFT 3 に分割し、この複数に分割された薄膜トランジスタ TFT 1～TFT 3 のそれぞれに複数に分割した透明画素電極 I T O 1～I T O 3 のそれぞれを接続することにより、画素の分割された一部分（たとえば、薄膜トランジスタ TFT 1）が点欠陥になるだけで、画素の全体としては点欠陥でなくなる（薄膜トランジスタ TFT 2 および TFT 3 が点欠陥でない）ので、画素全体としての点欠陥を低減することができる。

また、前記画素の分割された一部の点欠陥は、

○1～ITO3のそれぞれを実質的に同一サイズで構成することにより、画素内の点欠陥の面積を均一にすることができる。

また、前記画素の分割された透明画素電極ITO1～ITO3のそれぞれを実質的に同一サイズで構成することにより、透明画素電極ITO1～ITO3のそれぞれと共に共通透明画素電極ITO2で構成されるそれぞれの液晶容量(Cpix)と、この透明画素電極ITO1～ITO3のそれぞれに付加される透明画素電極ITO1～ITO3とゲート電極GTとの重ね合せで生じる重ね合せ容量(Css)とを均一にすることができる。つまり、透明画素電極ITO1～ITO3のそれぞれは液晶容量および重ね合せ容量を均一にすることができるので、この重ね合せ容量に起因する液晶LCの液晶分子に印加されようとする直流成分を均一

する上には、保護膜PSV1が設けられている。保護膜PSV1は、主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は、たとえばプラズマCVDで形成した酸化珪素膜や窒化珪素膜で形成されており、5000～11000[Å]の膜厚(この液晶表示装置では、8000[Å]程度の膜厚)で形成する。

薄膜トランジスタTFT上の保護膜PSV1の上部には、外部光がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮蔽膜LSが設けられている。第2図に示すように、遮蔽膜LSは、点線で囲まれた領域内に構成されている。遮蔽膜LSは、光に対する遮蔽性が高い、たとえばアルミニウム膜やクロム膜等で形成されており、スパッタで1000[Å]程度の膜厚に

形成する。

したがって、薄膜トランジスタTFT1～TFT3の共通半導体層ASは上下にある遮光膜LSおよび大きなゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜LSとゲート電極GTは半導体層ASより大き目でほぼそれと相似形に形成され、両者の大きさはほぼ同じとされる(図では境界線が判るようゲート電極GTを遮光膜LSより小さ目に描いている)。

なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側(外部露出側)とすることもでき、この場合は遮光膜LSはバックライト光の、ゲート電極GTは自然光の遮光体として働く。

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースードレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように構成されている。つまり、薄膜トランジスタTFTは、透

明画素電極ITOに印加される電圧を制御するよう構成されている。

液晶LCは、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に形成された空間内に、液晶分子の向きを設定する下部配向膜ORI1および上部配向膜ORI2に規定され、封入されている。

下部配向膜ORI1は、下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

上部透明ガラス基板SUB2の内側(液晶側)の表面には、カラーフィルタFL、保護膜PSV2、共通透明画素電極(COM)ITOおよび前記上部配向膜ORI2が順次積層して設けられている。

前記共通透明画素電極ITOは、下部透明ガラス基板SUB1側に画素毎に設けられた透明画素電極ITOに対向し、隣接する他の共通透明画素電極ITOと一体に構成されている。この共通透明画素電極ITOには、コモン電圧Vcomが印加されるように構成されている。コモン電圧Vcom

脂材料で形成された各画素は、染料を複数して構成されている。カラーフィルタ F I L は、画素に對向する位置に各画素ごとに構成され、染め分けられている。すなわち、カラーフィルタ F I L は、画素と同様に、隣接する 2 本の走査信号線 G L と隣接する 2 本の映像信号線 D L との交差領域内に構成されている。各画素は、カラーフィルタ F I L の個々の所定色フィルタ内において、複数に分割されている。

カラーフィルタ F I L は、つぎのように形成することができる。まず、上部透明ガラス基板 S U B 2 の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタ R を形成する。次に、同様な工程を施すことによって、緑色フィル

トや青色フィルタを形成する。また、各画素は、各画素とカラーフィルタ F I L の各色フィルタとの位置合せ余裕寸法を確保する（位置合せマージンを大きくする）ことができる。さらに、カラーフィルタ F I L の各色フィルタを形成する際に、各色フィルタ間の位置合せ余裕寸法を確保することができる。

すなわち、この液晶表示装置では、隣接する 2 本の走査信号線 G L と隣接する 2 本の映像信号線 D L との交差領域内に画素を構成し、この画素を複数に分割し、この画素に對向する位置にカラーフィルタ F I L の各色フィルタを形成することにより、前述の点欠陥を低減することができるとともに、各画素と各色フィルタとの位置合せ余裕寸法を確保することができる。

保護膜 P S V 2 は、前記カラーフィルタ F I L を異なる色に染め分けた染料が液晶 L C に漏れることを防止するために設けられている。保護膜 P S V 2 は、たとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

この液晶表示装置は、下部透明ガラス基板 S U B 1 側、上部透明ガラス基板 S U B 2 側のそれぞれの層を別々に形成し、その後下部透明ガラス基板 S U B 1 と上部透明ガラス基板 S U B 2 とを重ね合わせ、両者間に液晶 L C を封入することによって組み立てられる。

前記液晶表示部の各画素は、第 4 図に示すように、走査信号線 G L が延在する方向と同一列方向に複数配置され、画素列 X₁, X₂, X₃, X₄, … のそれぞれを構成している。各画素列 X₁, X₂, X₃, X₄, … のそれぞれの画素は、薄膜トランジスタ TFT 1 ~ TFT 3 および透明画素電極 I T O 1 ~ I T O 3 の配置位置を同一に構成している。つまり、画素列 X₁, X₂, X₃, X₄, … のそれぞれの画素は、画素列 X₁, X₂, X₃, X₄, … のそれぞれの画素に対し、列方向に半画素間隔移動させて（ずらして）配置されている。つまり、画素列 X の各画素間隔を 1.0 (1.0 ピッチ) とすると、次段の画素列 X は、各画素間隔を 1.0 とし、前段の画素列 X に対して列方向に 0.5 画素間隔 (0.5 ピッチ) ずれている。各画素間を行方向に延在する映像信号線 D L は、各画素列 X 間において、半画素間隔分 (0.5 ピッチ分) 列方向に延在するように構成されている。

を左側、透明画素電極 I T O 1 ~ I T O 3 の配置位置を右側に構成している。画素列 X₁, X₂, … のそれぞれの行方向の次段の画素列 X₂, X₃, … のそれぞれの画素は、画素列 X₁, X₂, … のそれぞれの画素を前記映像信号線 D L に対して縦対称で配置した画素で構成されている。すなわち、画素列 X₁, X₂, … のそれぞれの画素は、薄膜トランジスタ TFT 1 ~ TFT 3 の配置位置を右側、透明画素電極 I T O 1 ~ I T O 3 の配置位置を左側に構成している。そして、画素列 X₁, X₂, … のそれぞれの画素は、画素列 X₁, X₂, … のそれぞれの画素に対し、列方向に半画素間隔移動させて（ずらして）配置されている。つまり、画素列 X の各画素間隔を 1.0 (1.0 ピッチ) とすると、次段の画素列 X は、各画素間隔を 1.0 とし、前段の画素列 X に対して列方向に 0.5 画素間隔 (0.5 ピッチ) ずれている。各画素間を行方向に延在する映像信号線 D L は、各画素列 X 間において、半画素間隔分 (0.5 ピッチ分) 行方向に延在するように構成されている。

画素列Xの画素を映像信号線DLに対して縦対称で配置した画素で構成し、次段の画素列を前段の画素列に対して半画素間隔移動させて構成することにより、第8図（画素とカラーフィルタとを重ね合せた状態における要部平面図）で示すように、前段の画素列Xの所定色フィルタが形成された画素（たとえば、画素列X₁の赤色フィルタRが形成された画素）と次段の画素列Xの同一色フィルタが形成された画素（たとえば、画素列X₂の赤色フィルタRが形成された画素）とを1.5画素間隔（1.5ピッチ）配置することができる。つまり、前段の画素列Xの画素は、最っとも近傍の次段の画素列の同一色フィルタが形成された画素と常時1.5画素間隔分離するように構成されており、カラーフィルタFILはRGBの三角形配置構造を構成できるようになっている。カラーフィルタ

で、半画素間隔分しか列方向に延在しないので、隣接する映像信号線DLと交差しなくなる。したがって、映像信号線DLの引き回しをなくしその占有面積を低減することができ、又映像信号線DLの迂回をなくし多層配線構造を廃止することができる。

この液晶表示部の構成を回路的に示すと、第10図（液晶表示部の等価回路図）に示すようになる。第10図に示すX_iG, X_{i+1}G, …は、緑色フィルタGが形成される画素に接続された映像信号線DLである。X_iB, X_{i+1}B, …は、青色フィルタBが形成される画素に接続された映像信号線DLである。X_{i+1}R, X_{i+2}R, …は、赤色フィルタRが形成される画素に接続された映像信号線DLである。これらの映像信号線DLは、映像信号駆動回路で選択される。Y_iは

前記第4図および第8図に示す画素列X_iを選択する走査信号線GLである。同様に、Y_{i+1}, Y_{i+2}, …のそれぞれは、画素列X_{i+1}, X_{i+2}, …のそれぞれを選択する走査信号線GLである。これらの走査信号線GLは、垂直走査回路に接続されている。

前記第3図の中央部は一画素部分の断面を示しているが、左側は下部透明ガラス基板SUB1および上部透明ガラス基板SUB2の左側部分で外部引出配線の存在する部分の断面を示している。右側は、透明ガラス基板SUB1およびSUB2の右側部分で外部引出配線の存在しない部分の断面を示している。

第3図の左側、右側のそれぞれに示すシール材SLは、液晶LCを封止するように構成されており、液晶封入口（図示していない）を除く透明ガラス基板SUB1およびSUB2の周囲全体に沿って形成されている。シール材SLは、たとえばエポキシ樹脂で形成されている。

前記上部透明ガラス基板SUB2側の共通透明

画素電極ITOは、少なくとも一個所において、銀ペースト材SILによって、下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線は、前述したゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

前記配向膜ORI1およびORI2、透明画素電極ITO、共通透明画素電極ITO、保護膜PSV1およびPSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POLは、下部透明ガラス基板SUB1、上部透明ガラス基板SUB2のそれぞれの外側の表面に形成されている。

この発明を適用すべき他の液晶表示装置の液晶表示部の一画素を第9A図（要部平面図）に、また同図の左下方に示した太い実線枠Bに囲まれた部分（薄膜トランジスタ3とその周辺部）を3倍に拡大した図を第9B図に示す。

この液晶表示装置においては、液晶表示部の各画素の開口率を向上することができるとともに、

に示すように、液晶表示部の各画素内の i 型半導体層 A S を薄膜トランジスタ TFT 1 ~ TFT 3 每に分割して構成されている。つまり、画素の複数に分割された薄膜トランジスタ TFT 1 ~ TFT 3 のそれぞれは、独立した i 型半導体層 A S の島領域で構成されている。

このように構成される画素は、映像信号線 D L の延在する行方向に、薄膜トランジスタ TFT 1 ~ TFT 3 のそれぞれを均等に分散し配置することができるので、薄膜トランジスタ TFT 1 ~ TFT 3 のそれぞれに接続される透明画素電極 I TO 1 ~ I TO 3 のそれぞれを方形状で構成することができる。方形状で構成される透明画素電極 I TO 1 ~ I TO 3 のそれぞれは、画素内において隣接する透明画素電極 I TO 間の行方向における離隔面積を低減することができるので、面積（開

G または映像信号線 D L に対して傾斜する角度を有する線（たとえば、45度の角度の線）で変化させる。つまり、透明画素電極 I TO 1 ~ I TO 3 のそれぞれは、走査信号線 G L または映像信号線 D L と平行な線あるいは直交する線で形状を変化させた場合に比べて、透明画素電極 I TO 間の離隔面積を低減することができるので、開口率を向上することができる。

また、透明画素電極 I TO 1 ~ I TO 3 のそれぞれは、薄膜トランジスタ TFT と接続される辺と対向する反対側の邊において、行方向の次段の走査信号線 G L と重ね合わされている。この重ね合せは、薄膜トランジスタ TFT 1 ~ TFT 3 のゲート電極 G T と同様に、そのゲート電極 G T を選択する走査信号線 D L （画素を選択する走査信号線 D L ）と隣接する次段の走査信号線 D L を T

字形状に分岐させて行なわれている。分岐させた走査信号線 G L は、薄膜トランジスタ TFT のゲート電極 G T と同様に、第 1 層電膜（クロム膜） g 1 の單層で構成されている。前記重ね合せは、透明画素電極 I TO 1 ~ I TO 3 のそれぞれを一方の電極とし、次段の走査信号線 G L を容量電極線として用いてそれから分岐された部分を他の電極とする保持容量素子（静電容量素子） C add を構成する。この保持容量素子 C add の誘電体膜は、薄膜トランジスタ TFT のゲート絶縁膜として使用される絶縁膜 G I と同一層で構成されている。

ゲート電極 G T は、第 2 図等に示した液晶表示装置と同様 i 型半導体層 A S より大き目に形成されるが、この液晶表示装置では薄膜トランジスタ TFT 1 ~ TFT 3 が独立した i 型半導体層 A S ごとに形成されているため、各薄膜トランジスタ TFT ごとに大き目のパターンが形成されるとともに、分岐したゲート配線 G L (g 1) に連絡される。

前記保持容量素子 C add の他のレイアウトを第 11 図（他の例の一画素を示す要部平面図）に示し、前記第 9 A 図および第 11 図に記載される画素の等価回路を第 12 図（等価回路図）に示す。第 11 図に示す画素の保持容量素子 C add は、透明画素電極 I TO 1 ~ I TO 3 のそれぞれと容量電極線の分岐させた部分（保持容量素子 C add の他の電極）との重ね合せ量を増加させ、保持容量を増加させている。基本的には、第 11 図に示す保持容量素子 C add と前記第 9 A 図に示す保持容量素子 C add とは同じである。第 12 図において、前述と同様に、C gs は薄膜トランジスタ TFT のゲート電極 G T およびソース電極 S D 1 で形成される重ね合せ容量である。重ね合せ容量 C gs の誘電体膜は絶縁膜 G I である。C pix は透明画素電極 I TO (PIX) および共通透明画素電極 I TO (COM) 間で形成される液晶容量である。液晶容量 C pix の誘電体膜は液晶 L C 、保護膜 P SV 1 および配向膜 O R I 1 , O R I 2 である。V 1c は中点電位である。

と次式となる。

$$\Delta V_{lc} = ((C_{gs}/(C_{gs}+C_{add}+C_{pix})) \times \Delta V_g$$

ここで、 ΔV_{lc} は ΔV_g による中点電位の変化分を表わす。この変化分 ΔV_{lc} は液晶に加わる直流成分の原因となるが、保持容量素子 C_{add} の保持容量を大きくすればする程その値を小さくすることができます。また、保持容量素子 C_{add} は放電時間を長くする作用もあり、薄膜トランジスタ TFT がオフした後の映像情報を長く蓄積する。液晶 LC に印加される直流成分の低減は、液晶 LC の寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

上述したように、ゲート電極 GT は半導体層 AS を完全に覆うよう大きくされている分、ソース・ドレイン電極 SD1, SD2 とのオーバラップ面

ットも削除することができる。

また、2本の走査信号線 GL と2本の映像信号線 DL との交差領域内に画素を有する液晶表示装置において、前記2本の走査信号線 GL のうちの一方の走査信号線 GL で選択される画素の薄膜トランジスタ TFT を複数に分割し、この分割された薄膜トランジスタ TFT1～TFT3 のそれぞれに透明画素電極ITOを複数に分割したそれぞれ (ITO1～ITO3) を接続し、この分割された透明画素電極 ITO1～ITO3 のそれぞれにこの画素電極 ITO を一方の電極とし前記2本の走査信号線 DL のうちの他方の走査信号線 DL を容量電極線として用いて他方の電極とする保持容量素子 Cadd を構成することにより、前述のように、画素の分割された一部分が点欠陥になるだけで、画素の全体としては点欠陥でなくなるので、

画素の点欠陥を低減することができるとともに、前記保持容量素子 Cadd で液晶 LC に加わる直流成分を低減することができるので、液晶 LC の寿命を向上することができる。とくに、画素を分割することにより、薄膜トランジスタ TFT のゲート電極 GT とソース電極 SD1 またはドレイン電極 SD2 との短絡に起因する点欠陥を低減することができるとともに、透明画素電極 ITO1～ITO3 のそれぞれと保持容量素子 Cadd の他方の電極 (容量電極線) との短絡に起因する点欠陥を低減することができる。後者側の点欠陥はこの液晶表示装置の場合 3 分の 1 になる。この結果、前記画素の分割された一部の点欠陥は、画素の全体の面積に比べて小さいので、前記点欠陥を見にくくすることができる。

前記保持容量素子 Cadd の保持容量は、画素の書き特性から、液晶容量 Cpix に対して 4～8 倍 ($4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$)、重ね合せ容量 Cgs に対して 8～32 倍 ($8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$) 程度の値に設定する。

また、前記走査信号線 GL を第1導電膜 (クロム膜) g1 に第2導電膜 (アルミニウム膜) g2 を重ね合せた複合膜で構成し、前記保持容量素子 Cadd の他方の電極つまり容量電極線の分岐された部分を前記複合膜のうちの一層の第1導電膜 g1 からなる単層膜で構成することにより、走査信号線 GL の抵抗値を低減し、書き特性を向上することができるとともに、保持容量素子 Cadd の他方の電極に基づく段差部に沿って確実に保持容量素子 Cadd の一方の電極 (透明画素電極 ITO) を絶縁膜 GI 上に接着させることができるので、保持容量素子 Cadd の一方の電極の断線を低減することができる。

また、保持容量素子 Cadd の他方の電極を単層の第1導電膜 g1 で構成し、アルミニウム膜である第2導電膜 g2 を構成しないことにより、アルミニウム膜のヒロックによる保持容量素子 Cadd の他方の電極と一方の電極との短絡を防止することができる。

前記保持容量素子 Cadd を構成するために重ね

極ITOが断線しないように、第1導電膜d1および第2導電膜d2で構成された島領域が設けられている。この島領域は、透明画素電極ITOの面積(開口率)を低下しないように、できる限り小さく構成する。

このように、前記保持容量素子Caddの一方の電極とその誘電体膜として使用される絶縁膜GIとの間に、第1導電膜d1とその上に形成された第2導電膜d2に比べて比抵抗値が小さかつサイズが小さい第2導電膜d2とで形成された下地層を構成し、前記一方の電極(第3導電膜d3)を前記下地層の第2導電膜d2から露出する第1導電膜d1に接続することにより、保持容量素子Caddの他方の電極に基づく段差部に沿って確実に保持容量素子Caddの一方の電極を接続させることができるので、保持容量素子Caddの一方の

とにより、最終段の容量電極線は外部引出配線の一部の導電層と一緒に構成することができ、しかも共通透明画素電極ITOは前記外部引出配線に接続されているので、簡単な構成で最終段の容量電極線を共通透明画素電極ITOに接続することができる。

また、液晶表示装置は、先に本願出願人によって出願された特願昭62-95125号に記載される直流相殺方式(DCキャンセル方式)に基づき、第13図(タイムチャート)に示すように、走査信号線DLの駆動電圧を制御することによって、さらに液晶LCに加わる直流成分を低減することができる。第13図において、Viは任意の走査信号線GLの駆動電圧、Vi+1はその次段の走査信号線GLの駆動電圧である。Veeは走査信号線GLに印加されるロウレベルの駆動電圧Vdmin、Vddは走査信号線GLに印加されるハイレベルの駆動電圧Vdmaxである。各時刻t=t1～t2における中点電位Vlc(第12図参照)の電圧変化分△Vi～△Vcは、画素の合計の容量

うに構成されている。液晶表示部は、画面、走査信号線GLおよび映像信号線DLを含む単位基本パターンの繰返しで構成されている。容量電極線として使用される最終段の走査信号線GL(または初段の走査信号線GL)は、第14図に示すように、共通透明画素電極(Vcom)ITOに接続する。共通透明画素電極ITOは、前記第3図に示すように、液晶表示装置の周縁部において銀ベースト材SLによって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電層(g1およびg2)は走査信号線GLと同一製造工程で構成されている。この結果、最終段の走査信号線GL(容量電極線)は、共通透明画素電極ITOに簡単に接続することができる。

このように、容量電極線の最終段を前記画素の共通透明画素電極(Vcom)ITOに接続するこ

$(C_{gs} + C_{pix} + C_{add})$ をCとすると、次式のようになる。

$$\Delta V_i = -(C_{gs}/C) \cdot V_2$$

$$\Delta V_i = +(C_{gs}/C) \cdot (V_1 + V_2) - (C_{add}/C) \cdot V_2$$

$$\Delta V_i = -(C_{gs}/C) \cdot V_1 + (C_{add}/C) \cdot (V_1 + V_2)$$

$$\Delta V_i = -(C_{add}/C) \cdot V_1$$

ここで、走査信号線GLに印加される駆動電圧が充分であれば(下記【注】参照)、液晶LCに加わる直流電圧は、次式で表される。

$$\Delta V_i + \Delta V_c = (C_{add} \cdot V_2 - C_{gs} \cdot V_1) / C$$

このため、 $C_{add} \cdot V_2 = C_{gs} \cdot V_1$ とすると、液晶LCに加わる直流電圧は0になる。

【注】時刻t1、t2で走査線Viの変化分が中点電位Vlcに影響を及ぼすが、t1～t2の期間に中点電位Vlcは信号線Xiを通じて映像信号電位と同じ電位にされる(映像信号の十分な書き込み)。液晶LCにかかる電位は薄膜トランジスタTFTがオフした直後の電位でほぼ決定される(薄膜トランジスタTFTのオフ期間がオン期間より圧倒的に長い)。したがって、液晶LCにかかる直流

はラインごとに極性が反転し、陰極信号そのものによる直流分は零とされている。

つまり、直流相殺方式は、重ね合せ容量C_{gs}による中点電位V_{1c}の引き込みによる低下分を、保持容量素子C_{add}および次段の走査信号線GL(容量電極線)に印加される駆動電圧によって押し上げ、液晶LCに加わる直交流力を極めて小さくすることができる。この結果、液晶表示装置は液晶LCの寿命を向上することができる。もちろん、輝光効果を上げるためにゲートGTを大きくした場合、それに伴って保持容量素子C_{add}の保持容量を大きくすればよい。

この直流相殺方式は、第15図(液晶表示部を示す等価回路図)で示すように、初段の走査信号線GL(または容量電極線)を最終段の容量電極線(または走査信号線GL)に接続することによ

る。液晶表示装置は、液晶表示部内の内部配線あるいは外部引出配線によって行なう。

このように、液晶表示装置は、初段の走査信号線GLを最終段の容量電極線に接続することにより、走査信号線GLおよび容量電極線の全すべてを垂直走査回路に接続することができるので、直流相殺方式(DCキャンセル方式)を採用することができる。この結果、液晶LCに加わる直流成分を低減することができるので、液晶LCの寿命を向上することができる。

第16図はこの発明に係るアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図、第17a図は第16図のB-B切断線で切った部分の断面図、第17b図は第16図のC-C切断線で切った部分の断面図、第1図は第16図に示す画素の所定の製造工

程における要部平面図、第18図は第16図に示した液晶表示装置の液晶表示部とシール部周辺部の断面図、第19図は第16図に示す画素とプラスチックマトリックスパターンとを重ね合せた状態を示す平面図である。この液晶表示装置においては、クロムからなる第1導電膜g₁によって走査信号線GLの第1層、ゲート電極GTおよび保持容量素子C_{add}の電極が形成されており、走査信号線GLの第1層と保持容量素子C_{add}の電極膜とが第1導電膜g₁で一体に形成されている。また、走査信号線GLの映像信号線DLとの交差部における第1導電膜g₁の幅は他の部分の幅より狭く、走査信号線GLの映像信号線DLとの交差部における第1導電膜g₁の幅は10[μ]であり、他の部分の幅は70[μ]である。さらに、保持容量素子C_{add}の電極膜が走査信号線GLに沿って設けられ、透明画素電極ITOの端部が走査信号線GLと直角に設けられている。また、走査信号線GLの第2層はアルミニウム合金からなる第2導電膜g₂によって構成されている。すなわち、走査信号線

GLは第1導電膜g₁および第2導電膜g₂によって形成されている。さらに、上部透明ガラス基板SUB2の走査信号線GL、映像信号線DL、薄膜トランジスタTFTに対応する部分にプラスチックマトリックスパターンBMが設けられている。また、ゲート端子、ドレイン端子(図示せず)の最上膜が第3導電膜d₃によって構成されている。さらに、映像信号線DLにおいては、第2導電膜d₂が第3導電膜d₃によって完全に覆われている。

この液晶表示装置においては、走査信号線GLの第1層をクロムからなる第1導電膜g₁によって構成しているから、走査信号線GLの抵抗が小さいので、透明画素電極ITOへの信号書き込みができなくなることはない。さらに、走査信号線GLの映像信号線DLとの交差部における第1導電膜g₁の幅を他の部分の幅より狭くしているから、走査信号線GLと映像信号線DLとの直なり面積が小さいので、走査信号線GLと映像信

られているから、保持容量素子 C_{add} の電極膜を走査信号線 G_L から分岐させた場合と比較して、開口率が大きくなるので、画像が明るくなる。さらに、上部透明ガラス基板 S U B 2 の走査信号線 G_L、映像信号線 D_L、薄膜トランジスタ T F T に対応する部分にブラックマトリックスパターン B M が設けられているから、画素の輪郭が明瞭になるので、コントラストが向上するとともに、外部の自然光が薄膜トランジスタ T F T に当たるのを防止することができる。また、走査信号線 G_L の第 1 層、ゲート電極 G_T および保持容量素子 C_{add} の電極膜を I T O 膜により構成した場合には、アルミニウム合金からなる第 2 道電膜 g₂ によって走査信号線 G_L の第 2 層を形成すると、第 2 道電膜 g₂ をエッティングするとき、走査信号線 G_L に電圧を印加したときに、電池反応により I T O

の第 2 道電膜 g₂ によって走査信号線 G_L の第 2 層を形成したとしても、第 1 道電膜 g₁ が溶解することはない。さらに、走査信号線 G_L の第 1 層、ゲート電極 G_T および保持容量素子 C_{add} の電極膜を I T O 膜により構成した場合には、I T O 膜により画素の輪郭を形成することができないので、クロムからなる第 1 道電膜 g₁ によって走査信号線 G_L の第 1 層、ゲート電極 G_T および保持容量素子 C_{add} の電極膜を形成した場合には、第 1 道電膜 g₁ により画素の輪郭を形成することができる。ブラックマトリックスパターン B M のアライメントずれがあったとしても、画素の輪郭が不明瞭にはならず、コントラストが低下することはない。また、ゲート端子、ドレイン端子の最上膜が第 3 道電膜 d₃ によって構成されているから、ゲート端子、ドレイン端子と T A B との

接続がよい。さらに、映像信号線 D_Lにおいては、第 2 道電膜 d₂ が第 3 道電膜 d₃ によって完全に覆われているから、アルミニウムホイスカの発生が抑制されるので、保護膜 P S V 1 にピンホールが生ずることはない。また、保護膜 P S V 1 の下に第 3 道電膜 d₃ が設けられているから、電圧差のあるところで導電膜が腐食されるいわゆる電食を防止することができる。

つぎに、第 1 図、第 16 図～第 19 図に示した液晶表示装置の製造方法について説明する。まず、7059 ガラス（商品名）からなる下部透明ガラス基板 S U B 1 上に膜厚が 1100[Å] のクロムからなる第 1 道電膜 g₁ をスパッタリングにより設ける。つぎに、エッティング液として硝酸ガリウムアンモニウム溶液を使用した写真録刻技術で第 1 道電膜 g₁ を選択的にエッティングすることによって、走査信号線 G_L の第 1 層、ゲート電極 G_T および保持容量素子 C_{add} の電極膜を形成する。つぎに、レジストを剥離液 S 502（商品名）で除去したのち、O₂ アッシャーを 1 分間行なう。

つぎに、膜厚が 1000[Å] のアルミニウム-パラジウム (Pd)、アルミニウム-シリコン、アルミニウム-シリコン-チタン (Ti)、アルミニウム-シリコン-銅 (Cu) 等からなる第 2 道電膜 g₂ をスパッタリングにより設ける。つぎに、エッティング液としてリン酸と硝酸と酢酸との混液を使用した写真録刻技術で第 2 道電膜 g₂ を選択的にエッティングすることにより、走査信号線 G_L の第 2 層を形成する。つぎに、ドライエッティング装置に S F₆ ガスを導入して、シリコン等の残渣を除去したのち、レジストを除去する。つぎに、プラズマ C V D 装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が 3500[Å] の窒化シリコン膜を設けたのち、プラズマ C V D 装置にシランガス、水素ガス、ホスフィンガスを導入して、膜厚が 2100[Å] の i 型非晶質シリコン膜を設け、膜厚が 300[Å] の N⁺ 型シリコン膜を設ける。つぎに、ドライエッティングガスとして S F₆、C C l₂ を使用した写真録刻技術で N⁺ 型シリコン膜、i 型非晶質シリコン膜を選択的にエッキン

よって、絶縁膜G1を形成する。つぎに、レジストを除去したのち、膜厚が600[Å]のクロムからなる第1導電膜d1をスパッタリングにより形成する。つぎに、写真蝕刻技術で第1導電膜d1を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第1層を形成する。つぎに、レジストを除去する前に、ドライエッティング装置にCC2..SF_xを導入して、N⁺型シリコン膜を選択的にエッチングすることにより、N⁺型半導体層d0を形成する。つぎに、レジストを除去したのち、O_xアッシャーを1分間行なう。つぎに、膜厚が3500[Å]のアルミニウムーパラジウム、アルミニウムーシリコン、アルミニウムーシリコーンチタン、アルミニウムーシリコーン鋼等からなる第2導電膜d2をスパッタリングにより設ける。つぎに、

シャーを1分間行なう。つぎに、膜厚が1200[Å]のITO膜からなる第3導電膜d3をスパッタリングにより設ける。つぎに、エッティング液として塩酸と硝酸との混酸を使用した写真蝕刻技術で第3導電膜d3を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第3層、ゲート端子、ドレイン端子の最上層および透明電極ITO1を形成する。つぎに、レジストを除去したの、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1[μm]の窒化シリコン膜を設ける。つぎに、ドライエッティングガスとしてSF_xを使用した写真蝕刻技術で窒化シリコン膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

以上、この発明を上記実施例に基づき具体的に

説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはもちろんである。

たとえば、この発明は液晶表示部の各画素を2分割あるいは4分割した液晶表示装置に適用することができる。ただし、画素の分割数があまり多くなると、開口率が低下するので、上述のように、2~4分割程度が妥当である。また、画素は分割しなくとも、遮光効果は得られる。さらに、上述実施例においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でもこの発明は有效である。

【発明の効果】

以上説明したように、この発明に係る液晶表示装置においては、走査信号線を構成する導電膜を不透明金属膜で形成しているから、走査信号線の抵抗が小さいので、画素電極への信号書き込みができなくなることがない。また、走査信号線の映

像信号線との交差部における不透明金属膜の幅を他の部分の幅より狭くしているから、走査信号線と映像信号線との交差部における走査信号線と映像信号線との重なり面積が小さくなるので、走査信号線GLと映像信号線DLとの間のショートが少くなり、歩留まりがよい。

また、この発明に係る液晶表示装置においては、保持容量端子の電極膜を走査信号線に沿って設け、画素電極の端部を走査信号線と直角に設けているから、開口率が大きくなるので、画像が明るくなる。

このように、この発明の効果は顕著である。

4. 図面の簡単な説明

第1図は第1~6図に示す画素の所定の製造工程における要部平面図、第2図はこの発明を適用すべきアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図、第3図は第2図のI-I切断線で切った部分とシール部周辺部の断面図、第4図は第2図に示す画素を複数配置した液晶表示部の要部平面図、第5

タイプ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画面を示す要部平面図、第9B図はその一部拡大図、第10図は上記のアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図、第11図は第9A図に示す画面と異なるレイアウトの一画面を示す要部平面図、第12図は第9A図、第11図のそれに記載される画面の等価回路図、第13図は直流相殺方式による走査信号線の駆動電圧を示すタイムチャート、第14図、第15図はそれぞれ第9A図、第11図に示したアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図、第16図はこの発明に係るアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画面を示す要部平面図、第17a図は第16図のB-B切断線で切った部分の断

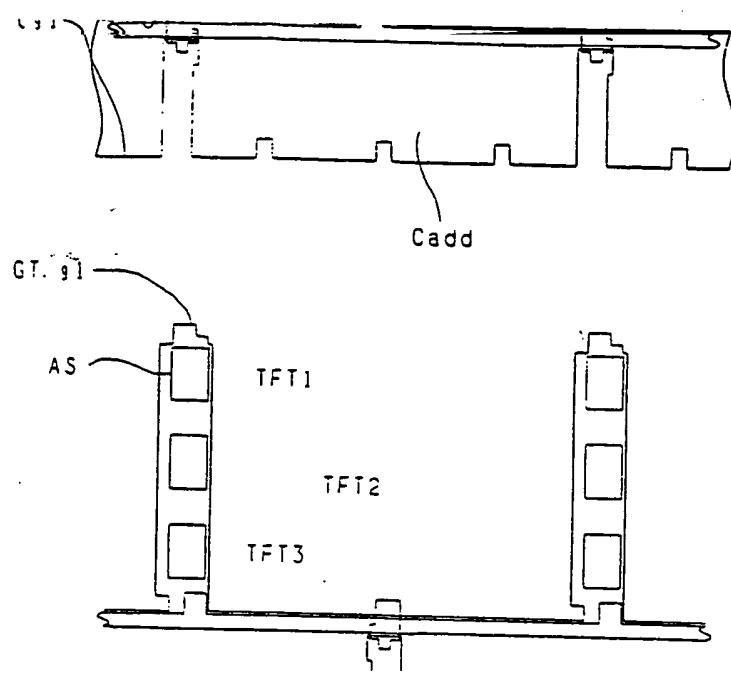
マトリックスパターンとを重ね合せた状態を示す平面図である。
S U B … 透明ガラス基板
G L … 走査信号線
D L … 映像信号線
G I … 絶縁膜
G T … ゲート電極
A S … i型半導体層
S D … ソース電極またはドレイン電極
P S V … 保護膜
L S … 遷光膜
L C … 液晶
T F T … 薄膜トランジスタ
I T O (C O M) … 透明遮光電極
g, d … 退電極
C add … 保持容量粒子

C_{gs}…重ね合せ容量

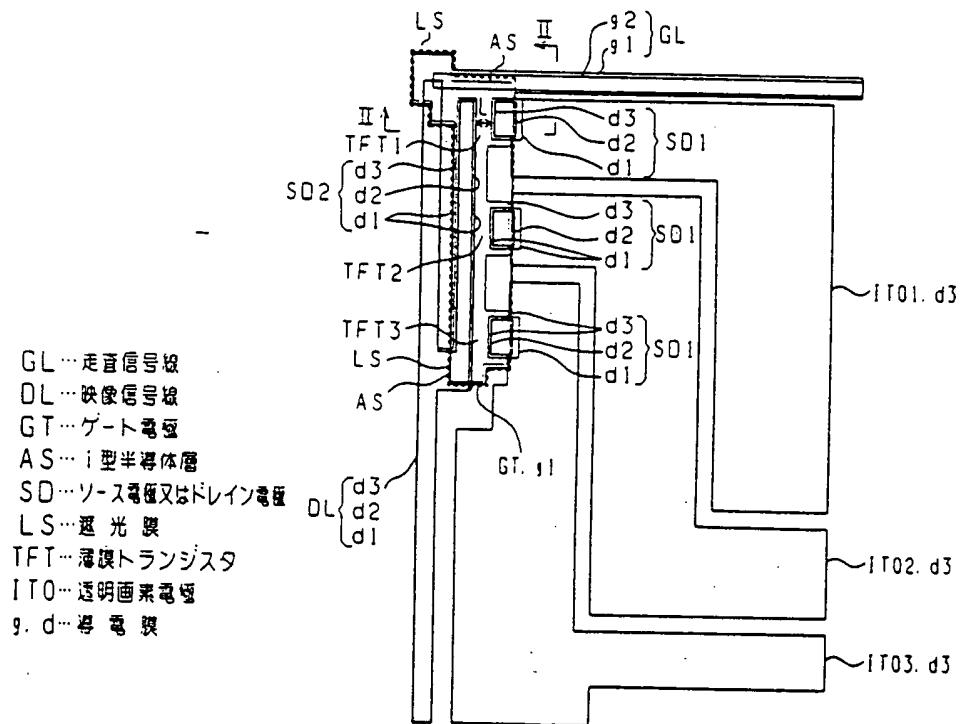
C_{pix}…液晶容量

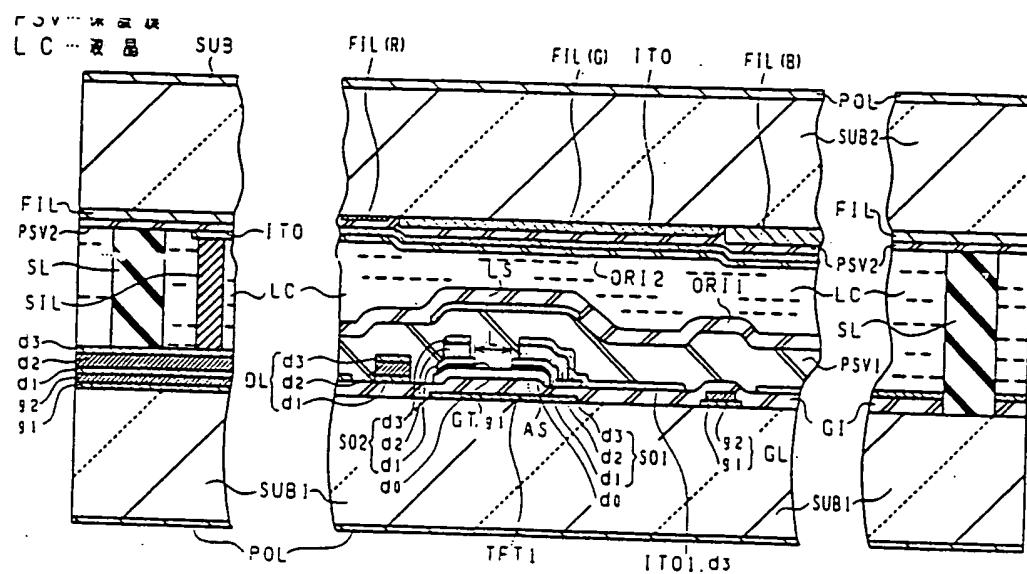
B M … ブラックマトリックスパターン

代理人 弁理士 中村純之助

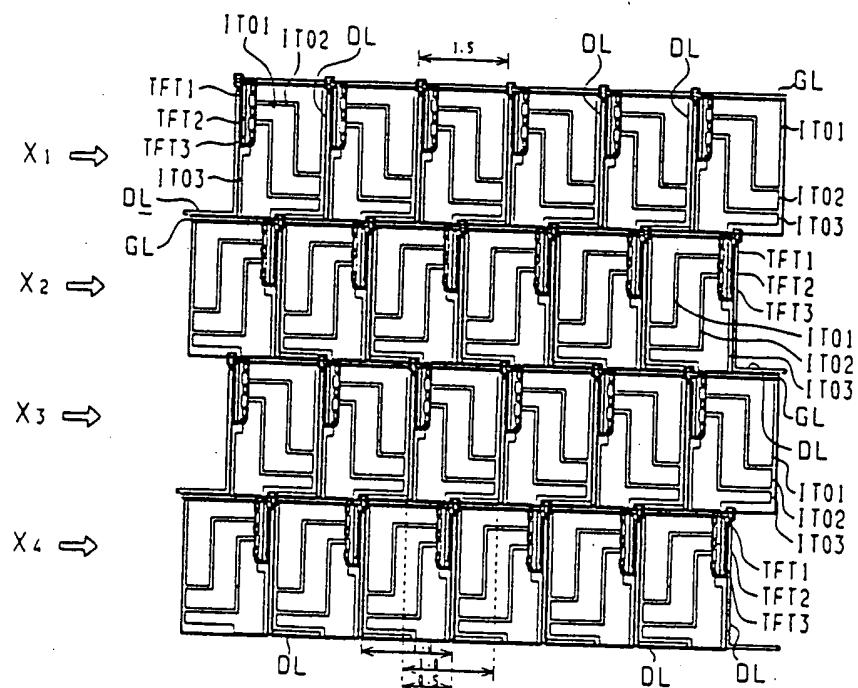


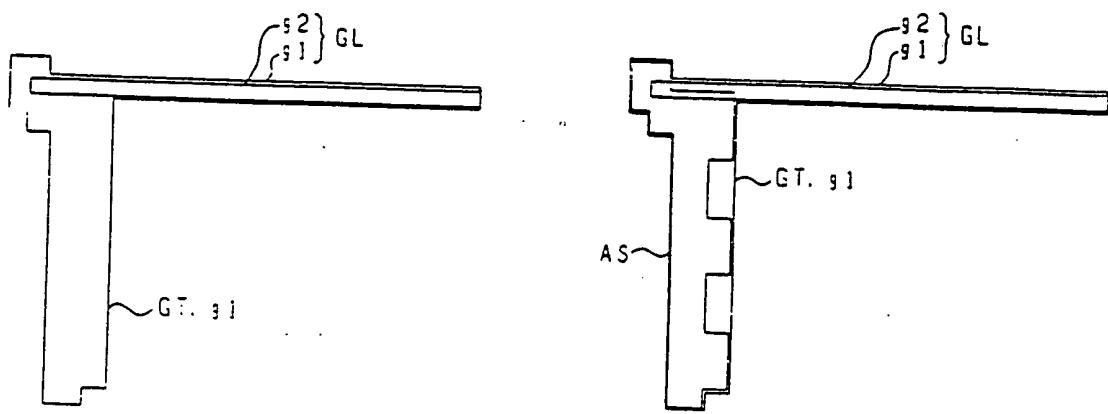
第2図



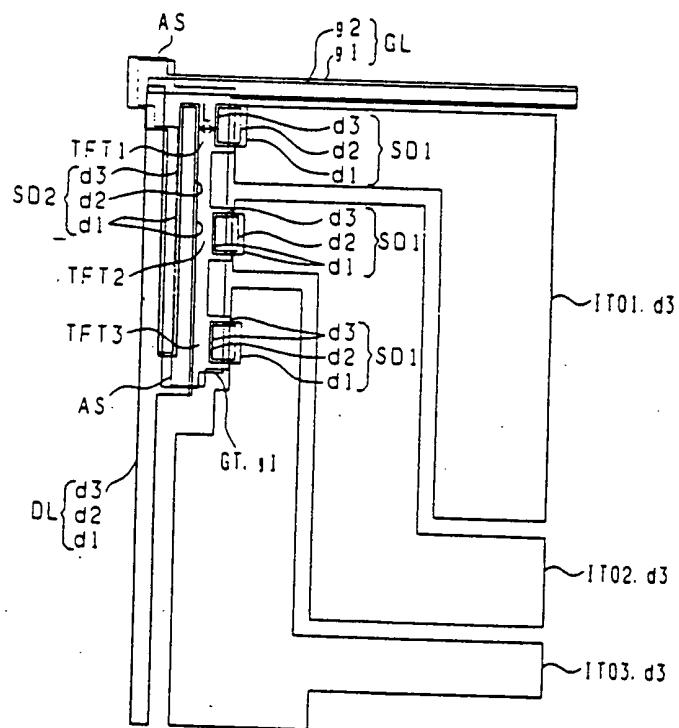


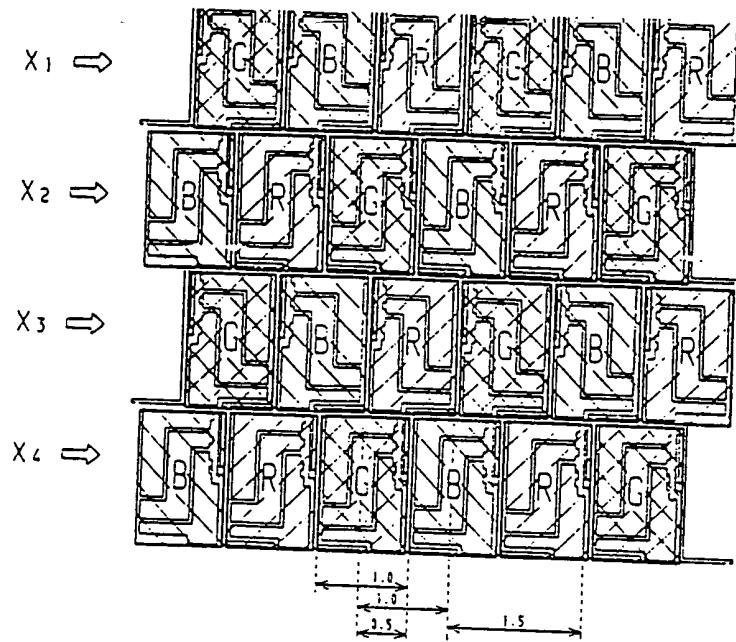
第4図



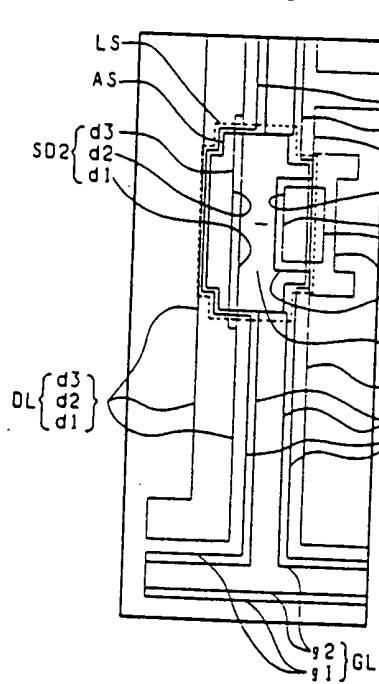


第 7 図

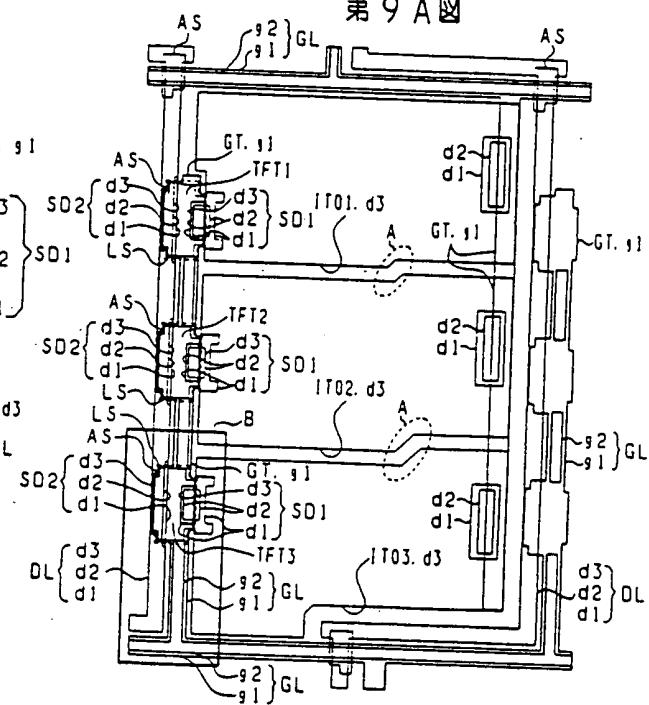


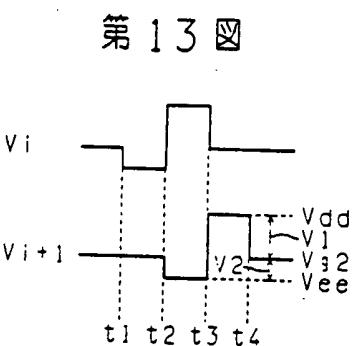
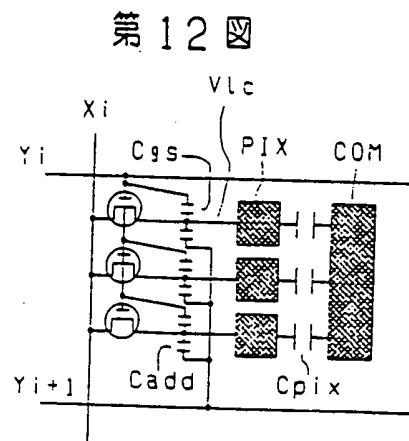
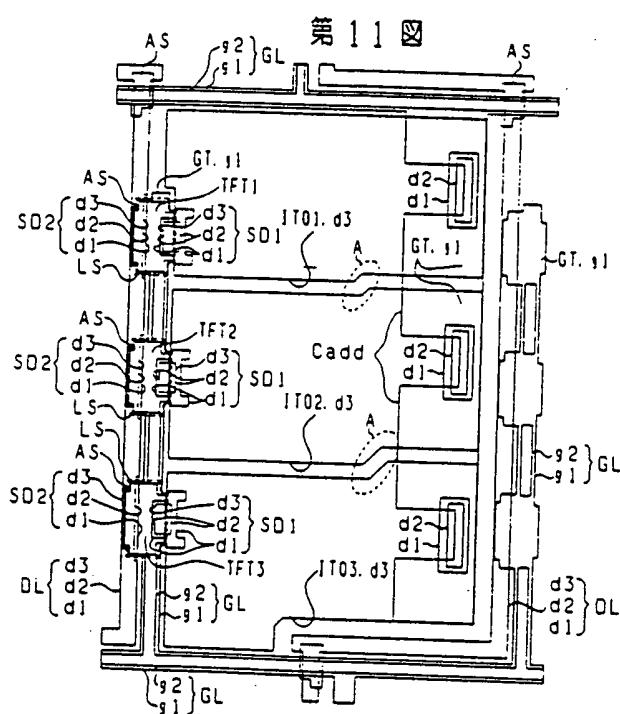
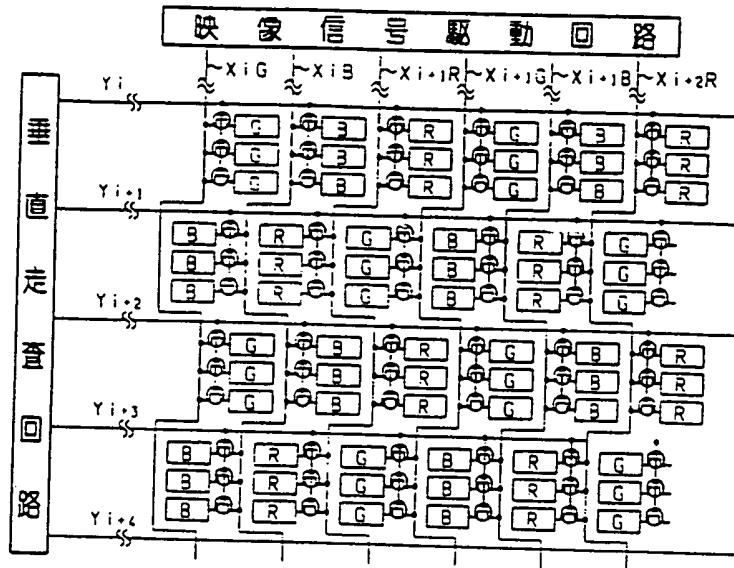


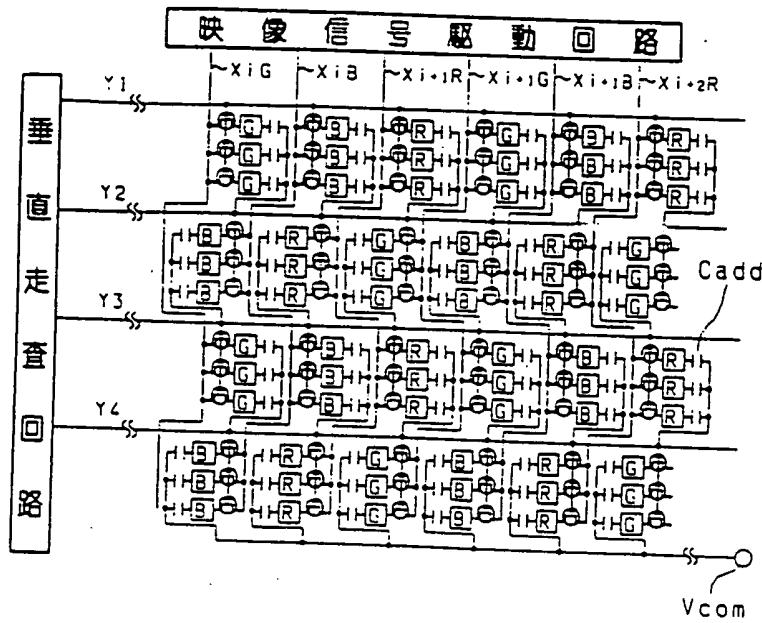
第9B図



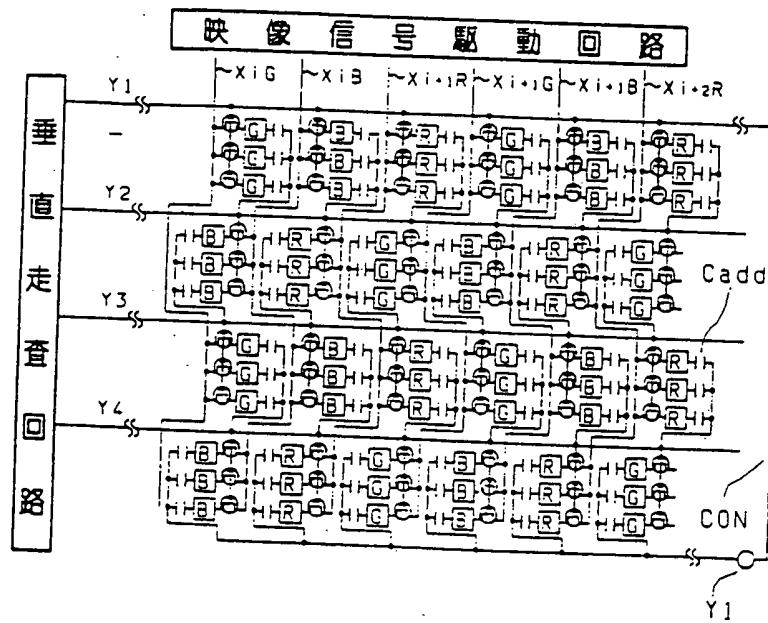
第9A図



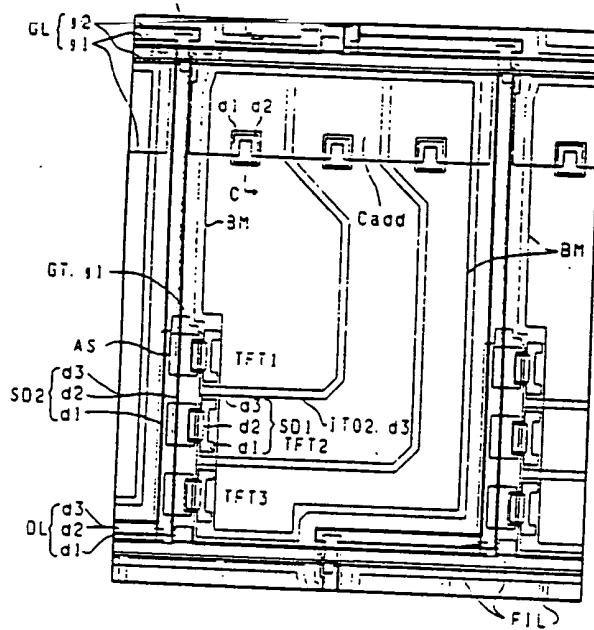




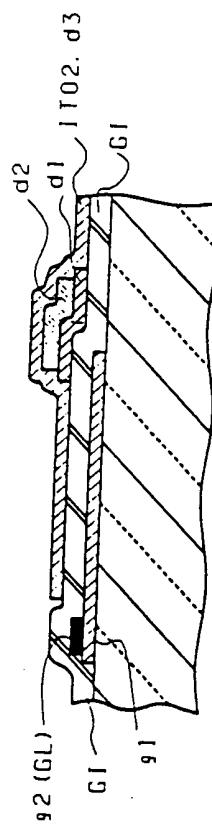
第 15 図



第17a図



第17b図



第19図

